

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 10294433 A

(43) Date of publication of application: 04.11.98

(51) Int. Cl.

H01L 27/10
H01L 27/108
H01L 21/8242
H01L 21/8247
H01L 29/788
H01L 29/792

(21) Application number: 09104141

(71) Applicant: SHARP CORP

(22) Date of filing: 22.04.97

(72) Inventor: ITO YASUYUKI

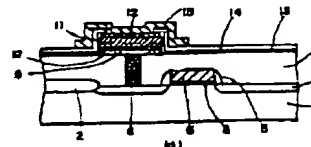
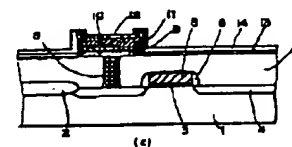
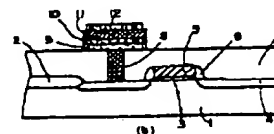
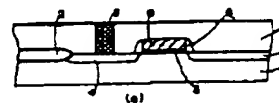
(54) MANUFACTURE OF FERROELECTRIC MEMORY ELEMENT

(57) Abstract:

PROBLEM TO BE SOLVED: To manufacture a higher-density device by suppressing the reaction between an interlayer insulating film and a ferroelectric film or the stripping of the interlayer insulating film.

SOLUTION: After a Pt lower electrode 10 is formed, an $\text{SrBi}_2\text{Ta}_2\text{O}_9$ (SBT) film 11 is formed on the electrode 10 as a ferroelectric thin film. Then the electrode 12 is worked and the SBT film 11 is crystallized through heat treatment. After the film 11 is crystallized, the film 11, electrode 10, and a TiN barrier metal layer 9 are worked to prescribed sizes. Then a Ta_2O_5 barrier insulating film 13 is deposited by using the well-known sputtering method and a contact hole is formed above the SBT film 11. Thereafter, an Al plate line 15 is formed by forming an Al film and working the Al film by using the well-known photolithography method and dry etching method and the interfaces of the electrodes are stabilized through heat treatment.

COPYRIGHT: (C)1998,JPO



(51) IntCl.

H01L 27/10
27/108
21/8242
21/8247
29/788

識別記号

451

FI

H01L 27/10

29/78

451

651

371

審査請求 未請求 請求項の数 3 OL (全 9 頁) 最終頁に続く

(21) 出願番号

特願平9-104141

(22) 出願日

平成9年(1997)4月22日

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 伊藤 康幸

大阪府大阪市阿倍野区長池町22番22号

シャープ株式会社内

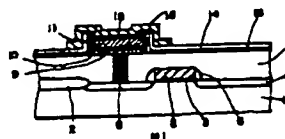
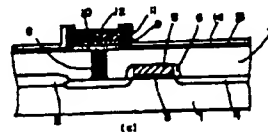
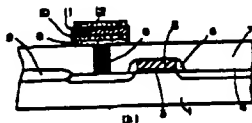
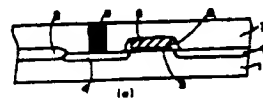
(74) 代理人 弁理士 梅田 勝

(54) 【発明の名称】 強誘電体メモリ素子の製造方法

(57) 【要約】

【課題】 減圧雰囲気中での強誘電体薄膜の結晶化工程中に、強誘電体薄膜や下部電極と層間絶縁膜との界面での剥離が起こり易くなる等の問題が生じる。

【解決手段】 Pt下部電極10を形成した後、このPt下部電極10上に強誘電体薄膜として、SBT膜11を形成する。次に、Pt上部電極12を加工し、その後、熱処理を行い、SBT膜11を結晶化させた。次に、SBT膜11とPt下部電極10とTiNバリアメタル層9を所定の大きさに加工した。次に、Ta₂O₅バリア絶縁膜13を公知のスパッタ法を用いて堆積し、その後、SBT膜11上部にコンタクトホールを形成した。次に、Al膜を形成し、公知のフォトリソグラフィ法とドライエッチング法を用いて加工し、Alプレート線15とした後、熱処理を行い、電極界面を安定化させた。



【特許請求の範囲】

【請求項1】 一のスイッチ用トランジスタと一の強誘電体キャパシタを有するメモリセルとが導電性プラグで電気的に接続された強誘電体メモリ素子の製造方法において、

上記スイッチ用トランジスタを形成した半導体基板上に層間絶縁膜として第1の絶縁膜を形成する工程と、
該第1の絶縁膜に第1のコンタクトホールを形成し、該第1のコンタクトホール内部に上記導電性プラグを埋設する工程と、

全面に下部電極材料、誘電体膜及び上部電極材料を順次形成する工程と、

上記上部電極材料を所定の形状にパターニングし、上部電極を形成する工程と、

上記誘電体膜に熱処理を施すことにより結晶化し、強誘電体膜を形成する工程と、

上記強誘電体膜と上記下部電極材料とを所定の形状にパターニングし、下部電極を形成する工程と、

全面に第2の絶縁膜を形成した後、上記上部電極表面が露出するように、上記第2の絶縁膜に第2のコンタクトホールを形成する工程と、

上記第2のコンタクトホール上に配線材料を堆積させ、所定の形状にパターニングし、配線を形成する工程とを有することを特徴とする、強誘電体メモリ素子の製造方法。

【請求項2】 上記熱処理工程において、加熱雰囲気中の圧力が2 Torr以上で且つ、20 Torr以下であることを特徴とする、請求項1記載の不揮発性メモリ素子の製造方法。

【請求項3】 上記熱処理工程において、加熱温度が500℃以上で且つ、650℃以下であることを特徴とする、請求項1又は請求項2記載の不揮発性メモリ素子の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、不揮発性半導体メモリ素子として用いられる強誘電体メモリ素子の製造方法に関するものである。

【0002】

【従来の技術】 近年、ピスマス層状構造化合物材料の研究開発が行われている。このピスマス層状構造化合物薄膜は強誘電体及び高誘電体集積回路応用に適していることが分かっており、特に、10¹²回以上の分極反転後も特性に変化が見られないという優れた疲労特性が報告されている。

【0003】 また、本発明者はピスマス層状構造化合物の焼成温度の低下、膜の緻密化、さらにはプロセスの簡略化をかける目的で、第1の熱処理工程において、急速に昇温して、加熱温度を強誘電体薄膜の結晶化温度のごく近傍として、非常に微細な結晶核が成長した段階で保

持し、さらに、第2の熱処理工程において、減圧雰囲気中で熱処理を行って強誘電体薄膜を結晶化させる方法を提案した（特願平8-36041号、及びJpn. J. Appl. Phys., 35 (1996) pp. 4925-4929）。

【0004】 以下、図14及び図15を用いて、従来の強誘電体メモリ素子の製造工程について説明する。尚、図14は従来の強誘電体メモリ素子の製造工程図であり、図15は図14の工程によって製造された強誘電体メモリ素子の構造断面図である。また、図14及び図15において、21はシリコン基板、22は素子分離領域、23はゲート酸化膜、24は不純物拡散層、25はゲート電極となるポリシリコンワード線、26はサイドウォール、27は層間絶縁膜、28はメモリ部コンタクトプラグ、29はTiNバリアメタル層、30はPt下部電極、31は強誘電体薄膜となるSrBi₂Ta₂O₉薄膜（以下、「SBT膜」とする。）、32はTa₂O₅バリア絶縁膜、33は層間絶縁膜、34は上部電極プレート線、35は層間絶縁膜、36はAlビット線を示す。

【0005】 まず、図14(a)に示すように、シリコン基板21上にゲート酸化膜23を介して形成されたポリシリコンワード線25、ソース/ドレイン領域となる不純物拡散層24を備えたスイッチ用トランジスタを公知のMOSFET形成工程により形成し、全面を層間絶縁膜27で覆った後、ビット線が半導体基板の不純物拡散領域と接触する部分のみ、公知のフォトリソグラフィ法とドライエッチング法を用いて、コンタクトホールを形成し、不純物を拡散したポリシリコンをこのコンタクトホールに埋め込んだ後、公知のCMP (Chemical Mechanical Polishing) 法により、層間絶縁膜27と埋め込まれたポリシリコンからなるメモリ部コンタクトプラグ28表面を平坦化した。

【0006】 次に、図14(b)に示すように、TiNバリアメタル層29を公知のスパッタ法により、膜厚2000Å堆積した後、下部電極30となるPt薄膜を公知のスパッタ法により、膜厚1000Å堆積した。このPt薄膜上に強誘電体薄膜としてSBT膜31を形成するのであるが、SBT膜31の形成方法は以下に詳しく述べる。

【0007】 まず、図17の前駆体溶液の合成フローを示す図を用いてSBT膜31を形成するために、用いた前駆体溶液の合成方法を説明する。

【0008】 溶液合成の出発原料として、タンタルエトキシド (Ta (OC₂H₅)₅)、ピスマス-2-エチルヘキサネート (Bi (C₇H₁₅COO)₂)、及びストロンチウム-2-エチルヘキサネート (Sr (C₇H₁₅COO)₂) を使用した。タンタルエトキシドを秤量し（ステップS1）、2-エチルヘキサネート中に溶解さ

せ(ステップS2)反応を促進するため、100℃から最高温度120℃まで加熱しながら攪拌し、30分間反応させた(ステップS3)。その後、120℃で反応によって生成したエタノールと水分を除去した。

【0009】この溶液に20~30mlのキシレンに溶解させたストロンチウム-2-エチルヘキサネートを $Sr/Ta=1/2$ になるように適量加えて(ステップS4)、125℃から最高140℃で30分間加熱攪拌した(ステップS5)。その後、この溶液に10mlのキシレンに溶解させたビスマス-2-エチルヘキサネートを $Sr/Bi/Ta=1/1/2$ となるように適量加えて(ステップS6)、130℃から最高150℃で10時間加熱攪拌した(ステップS7)。

【0010】次に、この溶液から低分子量のアルコールと水とを溶媒として使用したキシレンを除去するため130~150℃の温度で、5時間蒸留した。この溶液からダストを除去するために、0.45 μ m径のフィルタで濾過した(ステップS8)。その後溶液の $SrBi_2Ta_2O_9$ の濃度が0.1mol/リットルになるように調整し、これを前駆体溶液とした(ステップS9)。尚、これらの原料は上記のものに限定されるものではなく、また、溶媒についても、出発原料が十分に溶解するものであればよい。

【0011】次いで、この前駆体溶液を使用し、以下の工程で成膜を行った。

【0012】まず、回転させたウエハ上に上述の前駆体溶液を滴下し、スピン塗布した。塗布条件は3000rpmで、20秒間であった。その後、完全に溶媒を揮発させるため、ウエハを250℃に加熱したホットプレート上に乗せ、5分間大気中で乾燥し、続いて、RTA法を用いて、第1の焼成として大気圧酸素雰囲気中で、600℃で30分間の熱処理を行った。この成膜工程を3回繰り返して、膜厚2000ÅのSBT膜31を成膜した。このようにして形成したSBT膜31は、表面が平滑で、膜中の構造も粒径が100Å以下で非常に緻密であった。

【0013】次に、SBT膜31とPt膜とTiNバリアメタル層29を公知のフォトリソグラフィ法とドライエッチング法を用いて、2.1 μ m角の大きさに加工し下部電極30を形成して、図14(b)に示したような形状とした。ドライエッチングには、ECRエッチャーを用い、使用したガス種は、SBT膜31がArとCl₂とCF₄との混合ガス、Pt膜がC₂F₆とCHF₃とCl₂との混合ガス、TiNバリアメタル層29がCl₂ガスであった。このとき、SBT膜及びPt下部電極は非常に緻密で、平坦であるので、精密な微細加工が可能であり、CDロス、0.1 μ m以下に抑えることができる。

【0014】次に、図14(c)に示すように、膜厚300ÅのTa₂O₅バリア絶縁膜32を公知のスパッタ法

を用いて堆積し、続いて、層間絶縁膜33として、膜厚1500Åのシリコン酸化膜を公知のCVD法にて堆積し、その後、SBT膜31上部に公知のフォトリソグラフィ法とドライエッチング法を用いて、1.7 μ m角のコンタクトホールを形成した。

【0015】次に、図14(d)に示すように、膜厚1000ÅのPt上部電極プレート線34を形成した後、公知のフォトリソグラフィ法とドライエッチング法を用いて加工した後、第2の焼成として、5 Torr酸素雰囲気中で600℃で30分間の熱処理を行い、SBT膜31を結晶化させた。

【0016】その後、公知の平坦化技術により、CVD法を用いて層間絶縁膜35を堆積して平坦化を行い、公知のフォトリソグラフィ法とドライエッチング法を用いて、スイッチング用トランジスタのもう一方の不純物拡散領域へのコンタクトホールを形成し、公知のAl配線技術を用いて、Alビット線36を形成し、強誘電体メモリセルを完成した(図15)。

【0017】

【発明が解決しようとする課題】上述した従来の製造方法では、減圧雰囲気中での強誘電体薄膜の結晶化工程中に、強誘電体薄膜や下部電極と層間絶縁膜との界面での剥離が起こり易くなったり、強誘電体薄膜と層間絶縁膜との間で反応や相互拡散が起こるなどの問題が生じる。

【0018】上述の従来工程により作成された強誘電体メモリセルのリーク電流密度を公知の電流-電圧測定法を用いて測定した。図16に、強誘電体メモリセルへの印加電圧を0~10Vまで0.1Vステップで変化させた時の強誘電体キャパシタのリーク電流密度の変化の一例を示す。図16から分かるように、リーク電流が非常に大きく、絶縁耐圧も悪い。印加電圧が3Vでのリーク電流密度は、 $1.2 \times 10^{-5} A/cm^2$ であり、強誘電体キャパシタとしては不十分な特性であった。また、強誘電特性については、リーク電流が大き過ぎて測定は不可能であった。このように、図14及び図15に示す従来工程では、リーク電流が非常に大きい部分が多く観察された。

【0019】次に、この強誘電体メモリセルの断面構造を走査電子顕微鏡で観察したところ、SBT膜31と層間絶縁膜33とが、Ta₂O₅バリア絶縁膜32を破って反応している部分や、SBT膜31とTa₂O₅バリア絶縁膜32との界面で剥離が発生している部分が多く観察された。このように、リーク電流が大きいのは、層間絶縁膜33とSBT膜31との反応や、層間絶縁膜33の剥離によるものと考えられる。

【0020】

【課題を解決するための手段】請求項1記載の本発明の強誘電体メモリ素子の製造方法は、一のスイッチ用トランジスタと一の強誘電体キャパシタを有するメモリセルとが導電性プラグで電気的に接続された強誘電体メモリ

素子の製造方法において、上記スイッチ用トランジスタを形成した半導体基板上に層間絶縁膜として第1の絶縁膜を形成する工程と、該第1の絶縁膜に第1のコンタクトホールを形成し、該第1のコンタクトホール内部に上記導電性プラグを埋設する工程と、全面に下部電極材料、誘電体膜及び上部電極材料を順次形成する工程と、上記上部電極材料を所定の形状にパターニングし、上部電極を形成する工程と、上記誘電体膜に熱処理を施すことにより結晶化し、強誘電体膜を形成する工程と、上記強誘電体膜と上記下部電極材料とを所定の形状にパターニングし、下部電極を形成する工程と、全面に第2の絶縁膜を形成した後、上記上部電極表面が露出するように、上記第2の絶縁膜に第2のコンタクトホールを形成する工程と、上記第2のコンタクトホール上に配線材料を堆積させ、所定の形状にパターニングし、配線を形成する工程とを有することを特徴とするものである。

【0021】また、請求項2記載の本発明の強誘電体メモリ素子の製造方法は、上記熱処理工程において、加熱雰囲気圧力が2 Torr以上で且つ、20 Torr以下であることを特徴とする、請求項1記載の不揮発性メモリ素子の製造方法である。

【0022】更に、請求項3記載の本発明の強誘電体メモリ素子の製造方法は、上記熱処理工程において、加熱温度が500℃以上で且つ、650℃以下であることを特徴とする、請求項1又は請求項2記載の不揮発性メモリ素子の製造方法である。

【0023】

【実施の形態】以下、一の実施の形態に基づいて本発明について詳細に説明する。

【0024】尚、図1は本発明の一の実施の形態の半導体装置の製造工程図であり、図2は図1の工程により製造された半導体メモリ素子の断面図である。図1及び図2において、1は第1導電型シリコン基板、2は素子分離酸化膜、3はゲート酸化膜、4は第2導電型不純物拡散領域、5はゲート電極となるポリシリコンワード線、6はサイドウォール、7、14、16は層間絶縁膜、8はメモリ部コンタクトプラグ、9はTiNバリアメタル層、10はPt下部電極、11は強誘電体薄膜となるSBT膜、12はPt上部電極、13はTa₂O₅バリア絶縁膜、15はAlプレート線、17はAlビット線を示す。

【0025】まず、図1(a)に示すように、シリコン基板1上にゲート酸化膜3を介して形成されたポリシリコンワード線5、ソース/ドレイン領域となる不純物拡散層4を備えたスイッチ用トランジスタを公知のMOSFET形成工程により形成し、全面を層間絶縁膜7で覆った後、ビット線が半導体基板の不純物拡散領域と接触する部分のみ公知のフォトリソグラフィ法とドライエッチング法を用いて、コンタクトホールを形成し、不純物を拡散したポリシリコンをこのコンタクトホールに埋め

込んだ後、公知のCMP法により、層間絶縁膜7と埋め込まれたポリシリコンからなるコンタクトプラグ8表面を平坦化した。

【0026】次に、図1(b)に示したように、TiNバリアメタル層9を公知のスパッタ法により、膜厚2000Å堆積した後、Pt薄膜を公知のスパッタ法により、膜厚1000Å堆積してPt下部電極10とした。この下部電極上に強誘電体薄膜として、SBT膜を形成する。

【0027】この際、まず、このSBT膜を形成するために用いる前駆体溶液の合成を図17に示す従来技術と同様の方法で形成する。すなわち、溶液合成の出発原料として、タンタルエトキシド(Ta(OC₂H₅)₅)、ビスマス-2-エチルヘキサネート(Bi(C₇H₁₅COO)₂)、及びストロンチウム-2-エチルヘキサネート(Sr(C₇H₁₅COO)₂)を使用した。タンタルエトキシドを秤量し(ステップS1)、2-エチルヘキサネート18中に溶解させ(ステップS2)、反応を促進するため、100℃から最高温度120℃まで加熱しながら攪拌し、30分間反応させた(ステップS3)。

【0028】その後、120℃で反応によって生成したエタノールと水分を除去した。この溶液に20~30mlのキシレンに溶解させたストロンチウム-2-エチルヘキサネートをSr/Ta=1/2になるように適量加えて(ステップS4)、125℃から最高140℃で30分間加熱攪拌した(ステップS5)。その後、この溶液に10mlのキシレンに溶解させたビスマス-2-エチルヘキサネートをSr/Bi/Ta=1/1/2となるように適量加えて(ステップS6)、130℃から最高150℃で10時間加熱攪拌した(ステップS7)。

【0029】次に、この溶液から低分子量のアルコールと水とを溶媒として使用したキシレンを除去するため130~150℃の温度で、5時間蒸留した。この溶液からダストを除去するために、0.45μm径のフィルタで濾過した(ステップS8)。その後溶液のSrBi₂Ta₂O₉の濃度が0.1mol/リットルになるように調整し、これを前駆体溶液とした(ステップS9)。

尚、これらの原料は上記のものに限定されるものではなく、また、溶媒についても、出発原料が十分に溶解するものであればよい。

【0030】次に、回転させたウエハ上に上述の前駆体溶液を滴下しスピン塗布した。塗布条件は、3000rpmで20秒間であった。その後、完全に溶媒を揮発させるため、ウエハを250℃に加熱したホットプレート上に乗せ、5分間大気中で乾燥し、続いて、RTA法を用いて第1の焼成として、大気圧酸素雰囲気中で600℃で30分間の熱処理を行った。

【0031】この成膜工程を3回繰り返して、膜厚2000ÅのSBT膜11を形成した。このようにして形成したSBT11膜は、表面が平滑で膜中の構造も粒径が1

000Å以下で非常に緻密であった。

【0032】次に、膜厚が1000ÅのPt薄膜を形成した後、公知のフォトリソグラフィ法とドライエッチング法を用いて、1.7μm角の大きさのPt上部電極12を加工した。その後、第2の焼成として、5 Torrで酸素雰囲気中、600℃で30分間の熱処理を行い、SBT膜11を結晶化させた。結晶化させた後のSBT膜11の断面はやはり非常に平滑で緻密であり、強誘電体キャパシタの形状を損ねることはなかった。

【0033】尚、SBT膜11を結晶化させた後、Pt薄膜を加工してもよいが、その場合は、SBT膜11の熱膨張率がPtの熱膨張率に比べて大きいと、結晶化の熱処理の際にPt薄膜にクラックが発生しやすいという問題点がある。

【0034】次に、SBT膜11とPt下部電極10とTiNバリアメタル層9を公知のフォトリソグラフィ法とドライエッチング法とを用いて、2.0μm角の大きさに加工して、図1(b)に示したような形状とした。ドライエッチングには、ECRエッチャーを用い、使用したガス種は、SBT膜11がArとCl₂とCF₄との混合ガス、Pt下部電極10がC₂F₆とCHF₃とCl₂との混合ガス、TiNバリアメタル層9がCl₂ガスであった。このとき、SBT膜11及びPt下部電極10は非常に緻密で平坦であるので、精密な微細加工が可能であり、CDロスが0.1μm以下に抑えることができる。

【0035】次に、図1(c)に示したように、膜厚300ÅのTa₂O₅バリア絶縁膜13を公知のスパッタ法を用いて堆積し、その後、SBT膜11上部に公知のフォトリソグラフィ法とドライエッチング法とを用いて、1.2μm角のコンタクトホールを形成した。

【0036】次に、図1(d)に示したように、膜厚4000ÅのAl膜を形成し、公知のフォトリソグラフィ法とドライエッチング法を用いて加工し、Alプレート線15とした後、常圧酸素雰囲気中で400℃で30分間の熱処理を行い、電極界面を安定化させた。その後、公知の平坦化技術によりCVD法を用いて層間絶縁膜16を堆積して平坦化を行い(図1(e))、公知のフォトリソグラフィ法とドライエッチング法とを用いて、スイッチング用トランジスタのもう一方の不純物拡散領域へのコンタクトホールを形成し、公知のAl配線技術を用いてAlビット線17を形成し、図2に示したような強誘電体メモリ素子を完成した。

【0037】このようにして作製した強誘電体メモリ素子の強誘電特性を公知のソーヤタワー回路を用いて測定した。図3はそれぞれ電界強度を50~250kV/cmの間で変化させた時のヒステリシスループの形状を示している。ヒステリシスループの形状は100kV/cm以上でほぼ一致しており、電界強度150kV/cmでPr=8.5μC/cm²、Ec=40kV/cmと

いう値が得られており、強誘電体キャパシタとして十分な動作が確認された。

【0038】次に、強誘電体メモリ素子のリーク電流密度を公知の電流-電圧測定法を用いて測定した。図4は強誘電体メモリ素子への印加電圧を0~10Vまで0.1Vステップで変化させたときの強誘電体メモリ素子のリーク電流密度の変化を示す。印加電圧3Vでのリーク電流密度は4.8×10⁻⁸A/cm²であり、また、印加電圧10Vでも絶縁破壊が起こっていないことから、強誘電体キャパシタとして十分な特性が確認された。

【0039】図5は電圧3V、周波数1MHzのパルス印加して繰り返し分極反転を行ったときの、繰り返し分極反転回数に対する蓄積電荷量ΔQの変化をプロットしたグラフである。2×10¹¹サイクルの分極反転後も、蓄積電荷量に全く変化は見られず、不揮発性メモリとして良好な特性を示した。

【0040】尚、上記実施の形態において、強誘電体薄膜の材料としてSBTを用いたが、本発明はこれに限定されるものではなく、ピスマス層状構造化合物である、SrBi₂Nb₂O₉、SrBi₂(Ta, Nb)₂O₉、Bi₄Ti₃O₁₂、SrBi₄Ti₄O₁₅、SrBi₄(Ti, Zr)₄O₁₅、CaBi₂Ta₂O₉、BaBi₂Ta₂O₉、BaBi₂Nb₂O₉、PbBi₂Ta₂O₉などのゾルゲル法又はMOD法で成膜可能な材料であれば、本発明は適用可能である。

【0041】また、第2の熱処理工程の加熱雰囲気中の圧力が10Torrの場合の測定結果は、以下の通りである。即ち、図6、図7及び図8は、上述の製造工程により得られた膜の第2焼成温度に対する強誘電特性を示すグラフである。強誘電特性の測定は、図2に示すタイプのキャパシタに対して、公知のソーヤタワー回路を用いて印加電圧を3Vとして行ったものである。図6は、膜の残留分極Prの値を示すグラフである。第2の焼成温度の低下に伴いPrも減少するが、第2焼成温度が600℃でも4μC/cm²以上の値が得られている。図7は、この製造方法で作製した膜の抗電界Ecの値を示すグラフであり、500℃以上では、第2の焼成温度に因らずほぼ一定の値を示している。図8に示す蓄積電荷量ΔQは、図6に示したPrと同じように、第2の焼成温度に依存して増加し、第2焼成温度が500℃以上では良好な特性を示している。

【0042】例えば、第1の焼成温度600℃で大気圧酸素雰囲気中で30分間アニールを行い、第2の焼成を10Torr酸素雰囲気中で600℃で30分間アニールを行った場合、700Å以下の球状の結晶粒からなる緻密な膜となっていた。

【0043】また、第2の焼成として、RTA法を用いて、600℃で30分の焼成を1~760Torr酸素雰囲気中に行なった場合の測定結果を以下に示す。上記条件以外、素子構造、その他の製造工程等は上述の実施

の形態と同様である。尚、ここで、第2焼成の雰囲気ガス圧力（以下、「第2の焼成圧力」という。）の範囲を1~760 Torrとしたのは、1 Torrのときに形成されたSBT膜が強誘電性をほとんど示さなかったのをこれを下限として、大気圧である760 Torrを上限としたものである。

【0044】図9、図10及び図11は上述の製造工程により得られた膜の第2の焼成圧力に対する強誘電特性を示すグラフである。強誘電特性の測定は、図2に示すタイプのキャパシタに対して、公知のソーヤタワー回路を用いて、印加電圧を3Vとして行ったものである。

【0045】図9は、第2の焼成圧力に対する膜の残留分極Prの値を示すグラフである。雰囲気ガス圧力が760 Torrではほとんど強誘電性を示さなかったが、それからガス圧が低下するとPr値は増加し、圧力5 Torr付近で極大となり、それよりさらに圧力が低下すると、Pt値は減少する。圧力5 Torrのときの残留分極Prは、 $5.5 \mu\text{C}/\text{cm}^2$ 、抗電界Ecは25 kV/cmと、強誘電キャパシタとして十分な特性が得られた。また、図9から、第2焼成圧力が2 Torr~20 Torrの範囲であれば、Prは $2.5 \mu\text{C}/\text{cm}^2$ 以上となり、十分な強誘電特性を示している。

【0046】図10に示すように、第2の焼成圧力に対する膜の蓄積電荷量 ΔQ も残留分極Prと同様、雰囲気ガス圧力が760 Torrから低下すると値は増大し、圧力5 Torr付近で極大となり、それよりさらに圧力が低下すると値は減少する。圧力5 Torrのときの蓄積電荷量 ΔQ は $10.2 \mu\text{C}/\text{cm}^2$ という優れた値が得られた。また、一般的にMbitクラスの集積度の強誘電体メモリであれば、 $5 \mu\text{C}/\text{cm}^2$ 以上の蓄積電荷量が必要である。したがって、図10から、第2の焼成圧力が2 Torr~20 Torrの範囲で蓄積電荷量 ΔQ が $5 \mu\text{C}/\text{cm}^2$ 以上となっており、この範囲の圧力により製造されたものであればMbitクラスの集積度の強誘電体メモリとして必要な蓄積電荷量 ΔQ を得ることができる。さらに、この第2の焼成圧力で製造されたSBT膜を観察した結果、緻密で表面平坦化性も良好であることが確認できている。

【0047】また、図11は、第2の焼成圧力に対する膜の抗電界Ecの値を示すグラフである。第2の焼成圧力が2 Torr~20 Torrの範囲で、25 kV/cm近傍のほぼ一定になっている。図12は第2の焼成圧力に対し、3V印加した時のリーク電流の変化を示すグラフである。第2の焼成圧力がいずれのガス圧においても、 10^{-7} ~ 10^{-8} 台の良好な値が得られている。

【0048】また、図13は、第2の焼成圧力に対する膜のX線回折パターンを示す図である。図13において、a、b、c、d、e、f、gはそれぞれ、第2の焼成圧力が760 Torr、200 Torr、20 Torr、10 Torr、2 Torr、1 Torr、0.1 Torr

orrのものである。また、図13において、横軸は回折角度 2θ (deg)であり、縦軸は回折強度（任意強度）であるが、縦軸ではそれぞれの第2焼成圧力について回折強度0となる位置を移動させているものである。そして、図13中、SBT (008)、SBT (105)、SBT (110)、及びSBT (200)はSrBi₂Ta₂O₉ (SBT) による回折ピーク、 δ -TaO (001) 及び δ -TaO (002) は δ 相TaOによる回折ピーク、Siはシリコン基板による回折ピーク、PtはPt下部電極による回折ピークを示すものである。

【0049】図13によれば、2 Torr~200 Torrのものでは、SBTの多結晶ピーク (SBT (008)、SBT (105)、SBT (110)、SBT (200)) が現れており、1 Torrのものでは、SBTピークはなく、TaOのピーク (δ -TaO (001) 及び δ -TaO (002)) が現れている。そして、760 Torrのものでは、SBTピークが非常にブロードになっており、アモルファスライクな膜になっているものと考えられる。このX線回折の観察結果によれば、第2の焼成圧力としては、2 Torr~200 Torrの範囲において、SBTピークを示す膜が得られたことがわかる。

【0050】

【発明の効果】以上、詳細に説明したように、本発明を用いることにより、層間絶縁膜形成後に高温熱処理を行う必要がないため、層間絶縁膜と強誘電体膜との反応や層間絶縁膜の剥離などが抑制され、より高密度デバイスの作成が実現できる。

【0051】また、請求項2又は請求項3に記載の本発明を用いることにより、より十分な強誘電特性を有し、緻密で表面平坦性が良好な強誘電体薄膜を有するメモリ素子を得ることができる。

【図面の簡単な説明】

【図1】本発明の一実施の形態の半導体メモリ素子の製造工程図である。

【図2】本発明の一実施の形態の製造方法により形成された半導体メモリ素子の構造断面図である。

【図3】電界強度を変化させたときのヒステリシスループを示す図である。

【図4】印加電圧に対するリーク電流密度の変化を示す図である。

【図5】分極反転回数に対する蓄積電荷量の変化をプロットしたグラフを示す図である。

【図6】第2の焼成温度に対する膜の残留分極の値を示す図である。

【図7】第2の焼成温度に対する膜の抗電界の値を示す図である。

【図8】第2の焼成温度に対する膜の蓄積電荷量を示す図である。

【図9】第2の焼成の雰囲気ガス圧力に対する膜の残留分極の値を示す図である。

【図10】第2の焼成の雰囲気ガス圧力に対する膜の蓄積電荷量を示す図である。

【図11】第2の焼成の雰囲気ガス圧力に対する膜の抗電界の値を示す図である。

【図12】第2の焼成の雰囲気ガス圧力に対する膜のリーク電流密度を示す図である。

【図13】第2の焼成の雰囲気ガス圧力に対する膜のX線回折パターンを示す図である。

【図14】従来の不揮発性メモリ素子の製造工程図である。

【図15】従来の製造方法により作製された不揮発性メモリ素子の構造断面図である。

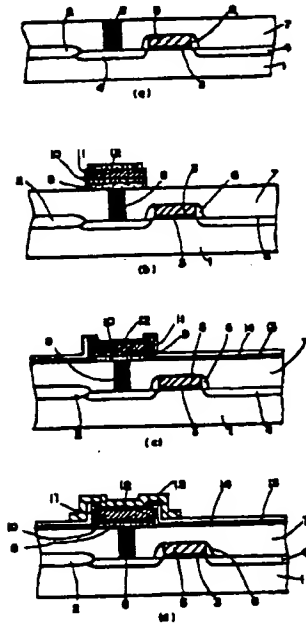
【図16】従来技術における、印加電圧に対する強誘電体キャパシタのリーク電流密度の変化を示す図である。

【図17】前駆体溶液の合成フローを示す図である。

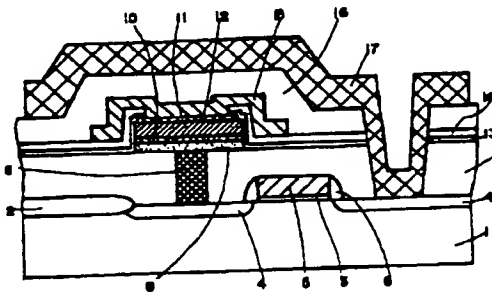
【符号の説明】

- 1 第1導電型シリコン基板
- 2 素子分離酸化膜
- 3 ゲート酸化膜
- 4 第2導電型不純物拡散領域
- 5 ポリシリコンワード線
- 6 サイドウォール
- 7、14、16 層間絶縁膜
- 8 メモリ部コンタクトプラグ
- 10 9 TiNバリアメタル層
- 10 Pt下部電極
- 11 SBT膜
- 12 Pt上部電極
- 13 Ta₂O₅バリア絶縁膜
- 15 Alプレート線
- 17 Alビット線

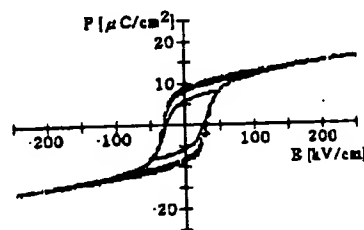
【図1】



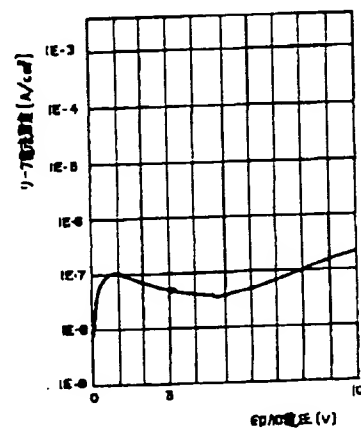
【図2】



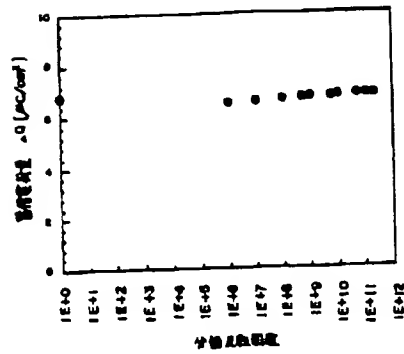
【図3】



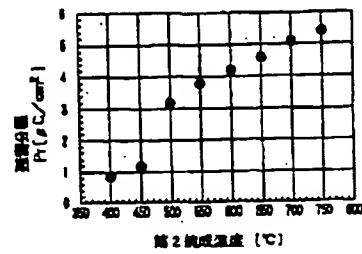
【図4】



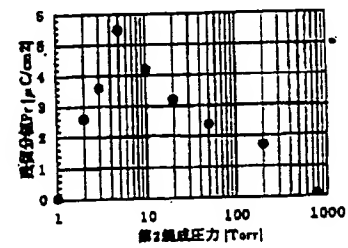
【図5】



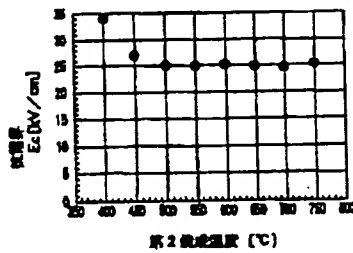
【図6】



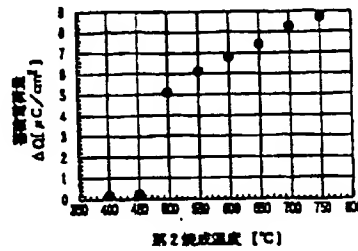
【図9】



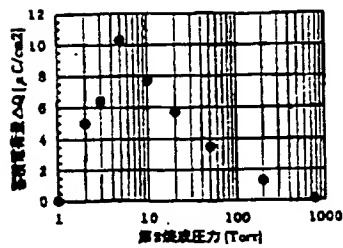
【図7】



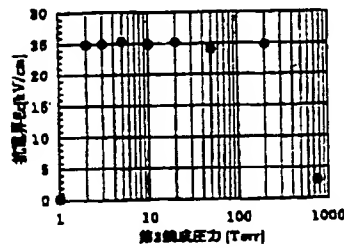
【図8】



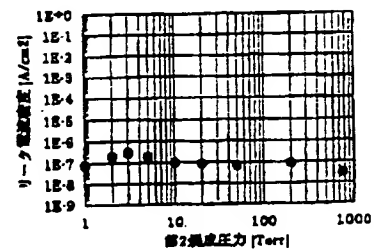
【図10】



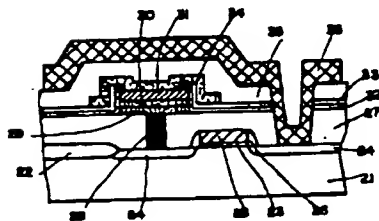
【図11】



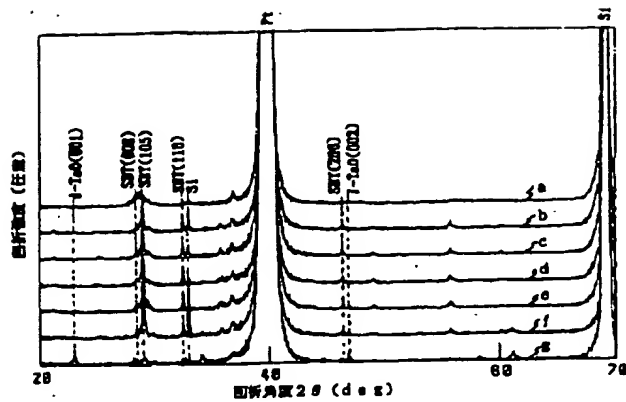
【図12】



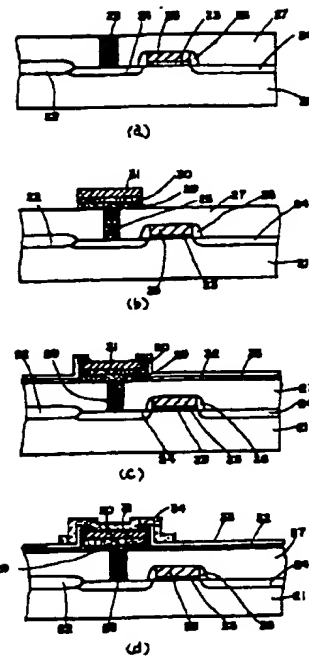
【図15】



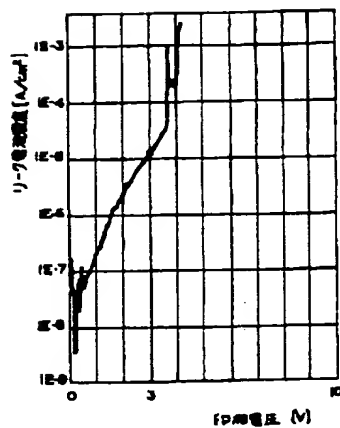
【図13】



【図14】



【図16】



【図17】

- S1 $\text{Te}(\text{OC}_2\text{H}_5)_2$
- S2 $\text{C}_7\text{H}_{15}\text{COOH}$
- S3 焼結 100-120°C
30分
- S4 $\text{Sr}(\text{C}_7\text{H}_{15}\text{COO})_2$
- S5 焼結 125-140°C
30分
- S6 $\text{Bi}(\text{C}_7\text{H}_{15}\text{COO})_2$
- S7 焼結 150-180°C
10-20時間
- S8 膜厚
0.45 μm
- S9 前駆体濃度
0.1M/L

フロントページの続き

(51)Int.Cl.6
H01L 29/792

識別記号

FI